

97學年度大專校院積體電路電腦輔助設計軟體製作競賽得獎名單

組別	獎項	參賽題目	學校	系所	隊員姓名				指導教授
定題組	特優	Gate-Level Diff for Identifying Functional ECO Using Reseedable LFSRs	國立台灣大學	電子工程學研究所	湯凱富	左佳正			黃鐘揚
		Design Partitioning for 3D IC	中原大學	電子工程學系	葉驊昕				黃世旭 陳美麗
	優等	Failure Candidate Identification for Silicon Debug	中原大學	資訊工程學系	洪瑞鴻	翁承壕			謝財明 陳美麗
		Spare Cell Selection for Functional Change	國立台灣大學	電子工程學研究所	黃紹倫	吳濟安	徐常紘		黃鐘揚
	佳作	Gate-Level Diff for Identifying Functional ECO	國立清華大學	資訊工程學系	李道明	陳延安	黃國柱	陳岱鈴	王俊堯
		Clock Tree Synthesis with Multi-Voltage Designs	國立台灣大學	電子工程學研究所	翁榮鴻	黃敏純			郭斯彥
		Failure Candidate Identification for Silicon Debug	國立交通大學	電信工程學系	郭雨欣	張佳伶			溫宏斌
		Failure Candidate Identification for Silicon Debug	國立清華大學	資訊工程學系	張家源				李建模
		Spare Cell Selection for Functional Change	國立交通大學	電子工程研究所	洪煌筆	張良吉			江蕙如
		Design Partitioning for 3D IC	元智大學	資訊工程學系	蔡梅香	詹久儀	張至		劉一字
		Design Partitioning for 3D IC	國立交通大學	電子工程研究所	林步青	潘畊宇	張琮偉	郭玟凱	周景揚
		Design Partitioning for 3D IC	中原大學	資訊工程學系	胡宇成	鍾易霖			陳美麗
		Obstacle-Avoiding Rectilinear Clock Routing with Preferred Directions	國立中央大學	電機工程學所	洪牧新				陳泰蓁 劉建男
不定題組	特優	Flip-Chip Routing	國立台灣大學	電子工程學研究所	李柏緯				張耀文
	優等	Power Delivery Aware Placement Framework for Mixed-Size Designs	國立台灣大學	電子工程學研究所	莊易霖				張耀文
	佳作	Boolean Circuit Interpolation and its Application: An Innovative Method for Fast Extracting Interpolation Without UN-SAT Proof	國立台灣大學	電子工程學研究所	許智仁	林庭豪			黃鐘揚
		Simultaneous Layout Migration and Decomposition for Double Patterning Technology	國立台灣大學	電子工程學研究所	許欽雄	陳思佑			張耀文
		A Fast and Accurate MPSoC Virtual Platform with Operating System Supporting	國立台灣大學	電子工程學研究所	林坤輝	李姿萱	葉昱甫		黃鐘揚